

UMC のシステム LSI 戦略

SoC Solution Foundry

温 清章

ユー・エム・シー・ジャパン株式会社 代表取締役社長

はじめに

近年、90nm、65nm など半導体プロセス技術はとて難しくなってきた。チップの設計の方とうまくすり合わせをしないと、良いチップの開発・製造を実現することができない。したがって、今までのファウンドリとファブレスという分業パターンは難しくなるのではないかと、最近は言われている。このことを考慮すると、例えば、100nm 以下のプロセスについていける企業はますます少なくなってくるだろう。そのようななかで、日本の半導体メーカーは、設計と製造が緊密に相互作用をしているが、同様に、台湾の半導体メーカーである UMC、TSMC もそれと同様な方向へ向かっていくと考えられる。

UMC は、SoC ソリューション・ファウンドリとして企業活動を行っている。また、顧客志向の考え方にに基づき、顧客のアプリケーション、システムの必要条件を熟知するうえで、顧客にとって本当に価値がある SoC を提供している。現在 90nm の製品の生産は 200mm ファブだけではなく、300mm ファブでも行われている。この二つの 300mm のファブを持つことは、UMC にとって、顧客と長期的なパートナーシップを築くことにおいては、とても重要である。また、UMC は顧客の製品のパフォーマンスに必要な条件に合致し、顧客の製品のロードマップやコストの必要な条件を正確に捉えなければならない。このことは、UMC が顧客だけではなく、各半導体関連の専門業者とも緊密に共同開発をしなければならないことを意味しよう。

今日の報告からは、UMC ファウンドリの SoC への取り組みに関するひとつの示唆が得られるものと考えられる。

¹ 本稿は 2005 年 11 月 16 日に経営研究所・競争戦略研究会と共同開催した、コンピュータ産業研究会での報告を許経明(東京大学大学院)が記録し、本稿掲載のために報告者の加筆訂正を経て、GBRC 編集部が整理したものである。文責は GBRC に、著作権は報告者にある。

1. UMCのプロセス・テクノロジーの一般概要

UMCのプロセス・テクノロジーにおいては、ロジック、ミックス・モード、RF (Radio Frequency) という三つのプロセス・プラットフォームから構成されている。そのなかで、ロジックはメインのプロセス・プラットフォームである。

現在、UMCはファブ8C、ファブ8D、ファブ8E、ファブ8F、ファブ12A、UMCJ、そしてUMCiを所有している。² ファブ8Aとファブ8Bは0.25 μ m、0.35 μ mの古いテクノロジーを使用している。台湾台南のファブ12AとシンガポールのUMCiは300mmのファブである。

ファブ12Aは30億ドルの投資によって、2001年に量産を開始した。2005年11月の時点では月32,000枚のキャパシティに達した。また、2005年12月には月40,000枚のキャパシティまでに増加した。90nmのプロセスは2003年3月から量産を開始し、65nmのプロセスは現在パイロット生産中で、2006年の初めに量産に入ることになる。

もうひとつの300mmファブは36億ドルの投資額のUMCiであり、2004年に量産を開始した。現在は月約13,000枚のキャパシティに達して、0.13 μ mのプロセスを量産して、90nmのプロセスは検証中である。

2003年に90nmのパイロットランを開始した。現在90nmの累積生産量は10万枚に達した(8インチウェハーに換算。12インチのウェハーは2.25倍の8インチのウェハーになる)。現在2005年に、90nmプロセスにはSP (Standard Process)、LL (Low Leakage Process) そしてグラフィックス向けのプロセスL90Gがある。³ 通常、90nmの以後は65nmの世代に移るが、2005年末にL80G (80nmのグラフィックス・プロセス) のプロセスも提供することになった。多くのグラフィックス・チップの企業間には非常に競争が激しいため、次の65nm世代のプロセスの出現を待ってられないことが、その理由である。したがって、L90GをShrinkしてL80Gとなった。

2. SoC の設計における課題

半導体プロセスの開発は、通常、ロジック・プロセス、ミックス・モード・プロセス、そしてRFプロセス⁴ が順次開発されている。

ハイエンドの顧客は、UMCの90nmプロセスにおいて、よりハイ・パフォーマンスを追及するには、Low-KとFSGのオプションを付けることによって、製品をいち早く市場に送り

² ファブの A、B、C などの番号は順次にランクされている。

³ グラフィックス向けのプロセス L90G は他のプロセスとは異なって、該当プロセスはハイ・スピード、ハイ・パフォーマンスが必要とされるため、完全に独立したプロセスとして開発された。

⁴ 通常、RF プロセスは現行のひとつのプロセス世代に遅れている。ちなみに、2004年に0.13 μ mのRFプロセスを提供し始めた。

出す。しかし、多くの顧客は90nmの製品を見つけるのは難しい。UMCはサプライヤーとして、顧客と緊密に共同で90nmの製品を作っていこうと考えている。TIの90nmの携帯用のDSPはその一例である。

現在、半導体産業において、プロセスは100nm以下になると、SoCを開発する際に、様々な挑戦すべき課題が出てくる。すなわち、複雑なシステム・デザイン、IR Drop、Noise Margin、Cross-Talkなどシグナル・インテグリティ、DFT (Design for Testability)、DFM (Design for Manufacturing) などEDA (Electronic Design Automation) の課題、高いマスク・コスト (約90万ドル) などの挑戦を克服しなければならないのである。そのため、チップ設計業界に新規に参入しようとする新規企業にとっての障壁は高くなった。特に資本金は百万ドル程度の小規模の企業にとっては、これらの課題はさらに深刻な問題である。

3. IPの再利用によって、システム・デザインの複雑性を低減する

IPの再利用はシステム・デザインの複雑さを低減し、Time-to-Marketを達成できるひとつの重要な設計方法論 (メソドロジー) と考えられる。しかし、このIPはファブレスにとっては最もクリティカルな問題となっている。IDM (Integrated Device Manufacturer) は多くのIPを持っているが、ファブレスはIPを多くは持っていないからである。例えば、3G携帯電話の場合は、Receiver、GPS、RF、Baseband Processor、Audio CODEC、DSP Processor、SRAM、DRAM、Flash Memoryなどのチップセットによって、構成されている。今後、より低消費電力、小面積、そしてハイ・パフォーマンスの性能を追求するためには、多数の機能をワンチップ化することは欠かせない。現在、3G携帯電話のチップの開発に必要なIPは、3D Graphics、FM、MP3、DAB、GPS、EOTD、MPEG4、JPEG、Speech to Text、Voice Recognition、GSM - GPRS - EDGE - WCDMA/CDMA2000/TDS-CDMA (RISC、DSP、Protocol Stack、System BIST)、WiFi、Bluetoothなどがある。したがって、UMCが多くのIPを用意することが、ファブレスのSoCチップの開発に貢献するものと考えられる。

4. SoCソリューション

UMCはファウンドリ・サプライヤーとして、顧客が直面している問題をサポートしなければならない。図1は、UMCのSoCのプラットフォームを示したものである。それぞれの顧客のニーズに対応するために、図の上の部分にはロジック・トランジスタ (High Speed、Low Leakage、Standard Performance、Low Power のプロセス)、ミックス・シグナル/RF CMOSのプロセス (Zero Vt、Low Vt、I/O など)、そして e-Memories (embedded Memories) などを提供している。また、図の下の部分においては、Libraries (Standard Cell Libraries、Standard I/O、

図1 SoC Platform Technology

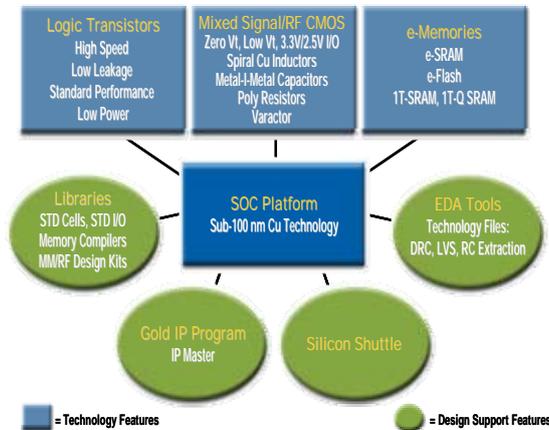


図2 UMC IP Offering by Application

	Memory	MM	CPU/DSP	Peripheral	Application Specific
Communication	1T-SRAM ^{1,3} eFuse ^{1,3} eSRAM ¹	ADC/DAC AFE	ARM ^{1,3} MIPS ^{1,3} MPU/DSP ^{1,3} Teak	SSTL ³ , LVDS ⁴ S-ATA ⁴ , USB ^{1,3} PCI-Exp ⁴ Serdes ⁴ 1G PHY/MAC ²	Bluetooth ⁴ QPSK
Computing	eSRAM ¹	ADC/DAC ³	ARM ^{1,3} MIPS ^{1,3} MPU/DSP ^{1,3}	PCI-X/Exp ⁴ USB ^{1,3} 1G PHY/MAC ²	Bluetooth ⁴ MPEG2/4 ⁴ 1394, DMA IrDA
Consumer	1T-SRAM ^{1,3} eSRAM ⁴ eFlash ¹	ADC/DAC ³	ARM ^{1,3} MIPS ^{1,3} MPU/DSP ^{1,3} Teaklite ³	HSTL ⁴ , USB ^{1,3} DVI ⁴ , LVDS ⁴ RSDS ⁴ UART ⁴ , SPI ⁴	Smartcard MPEG2/4 ⁴ AC3/4, QPSK QAM, TMDS IrDA

1: 0.13um 2: 0.15um 3: 0.18um 4: planned All trademarks owned by each individual vendor

Memory Compilers、MM/RF Design Kit)、Gold IP Program、Silicon Shuttle、後はEDA toolsにおいて、DRC、RC Extractionなど technology filesを提供している。

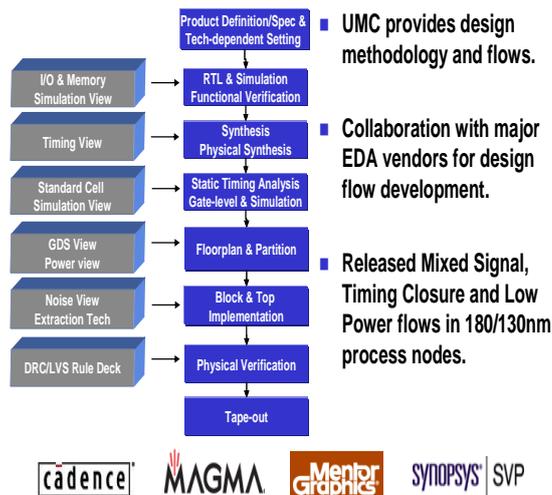
UMCは世界中のIPベンダーと共同で、UMCのSilicon Shuttle Programによって、IPの機能を検証している。また、それに基づき、UMCのソリューション・ベースとしてのIP poolをつくっている。UMCは、IPの製造状態について、Gold IP Programにより、Bronze IP、Silver IP、Gold IPに適切に分類する。Bronze IPとは、そのIPのSoft Coreは機能動作が可能となり、またUMCのDRC(Design Rule Check)によりそのIPのGDSは機能検証とされたものである。Silver IPとは、シリコン検証、テストチップの終了したIPである。Gold IPとは、実際にそのIPは量

図3 Off-the-Shelf Process Optimized Library Portfolio

Technology Node Library	90nm		130nm			150nm		180nm	
	G/SP	LL	HS/LL/ Fusion/SP	HS	LP	SP	ASIC	GII	LL
Standard Cell	Artisan/ Faraday	Faraday	Faraday	VST	Artisan	Faraday	VST	Artisan/ Faraday	Artisan/ Faraday
I/O	Artisan/ Faraday	Faraday	Faraday	VST	Artisan	Faraday	VST	Artisan/ Faraday	Artisan/ Faraday
Single Port SRAM Compiler	Artisan/ Faraday	Faraday	Faraday	VST		Faraday	VST	Artisan/ Faraday	Artisan/ Faraday
Dual Port SRAM Compiler	Artisan/ Faraday		Faraday	VST		Faraday	VST	Artisan/ Faraday	Faraday
Single Port Register File	Artisan/ Faraday	Faraday	Faraday	VST		Faraday		Faraday	
Dual Port Register File	Artisan/ Faraday	Faraday	Faraday	VST		Faraday		Faraday	Faraday
ROM Compiler	Artisan/ Faraday	Faraday	Faraday	VST		Faraday	VST		Faraday
PLL	Artisan/ Faraday		Faraday	VST		Faraday	VST	Faraday	Faraday

Note: Available or in development. Please check with an UMC representative for detailed status information

図4 UMC Design Reference Flow



産された経歴があるIPである。図2では、UMCは、IPの種類（Memory、MM、CPU/DSP、Peripheral、Application Specific）とデバイス用途（Consumer、Computing、Communication）の組み合わせにより、IPプラットフォームを顧客に提供していることを示している。⁵

図3は、UMCのプロセスに最適とされたLibrary Portfolioである。表の横軸はtechnology nodeを、縦軸はLibraryの種類を示している。

⁵ IPのプラットフォーム内のIPは、プロセス技術の進歩により、再設計をしなければならない。

一方、UMCは顧客にIP、Cell Librariesだけではなく、図4のように、UMC Design Reference Flowといった明確なデザイン・メソドロジーをEDAベンダー（Cadence、MAGMA、Mentor Graphics、Synopsys）と共同で開発した。このデザイン・メソドロジーにより、顧客はIPをより簡単に使うことができる。

バックエンドにおいては、チップを出荷する前に、テストング、パッケージング、バンピング（Bumping）⁶などの作業を行う必要がある。UMCはチップのテストング、パッケージング、バンピングといったバックエンドのサービスを行っていないが、バックエンドに属する台湾企業だけではなく、韓国のテストング会社（ChipPAC）、パッケージングのAmkor、シンガポールのテストング会社（STATS）といった他国企業と共同でトータル・ソリューションを構築している。

UMCのテクノロジー、マニファクチャリングはシステム化されている。顧客はWeb Based Solution（UMCにおいてはmyUMCと呼んでいる）を通じて、いつでもどこでも自分の製品がどこまでつくられているかを知ることができる。UMCの競争相手も同じようなやり方をしていて、“Virtual Fab”と呼んでいるが、UMCは、このサービスは顧客にとってまさに本当のファブのような存在であるとし、“Real Fab”と自称している。

5. 顧客と共同開発の実例

図5は、Silicon ShuttleのIP検証のタイプ・アウトである。この図により、いくつかのチップがUMCJ館山工場の0.18 μm の1P6M（6メタル層）のSilicon Shuttleで、それらの機能を検証されている。該当SRAMの縮小率は90%となる。TEGはテストチップの意味であり、H90%は日本の顧客である。

図6はUMCと各専門業者との共同開発の実例である。ただし、現在、UMCJ館山で0.13 μm HDTVのプロセスは導入されていないため、このケースは台湾新竹のUMCで行われているものである。このケースでは、顧客は自分のIP（DSP IP）を持っているが、すべてのIPを持つわけではないため、UMCはパートナーのIPベンダーと共同で、顧客にUMCプロセスに合致したIPを提供する。言うまでもなく、その多数のIPベンダーのIP（DAC、ADC、DDR-IF、Analog SWなど）はUMCのGold IP Programにより検証されていた。

⁶ チップのバックエンドはローエンドと思われる。しかし、小さなチップをPCBに精確に接続するには、大変なハイ・テクノロジーが必要とされる。例えば、バンピングとは小さなチップを金のボールでPCBに接続させる方法である。また、現在のチップには1024Pinがあるため、Flip Chip、インテルなどのようなチップは必ずバンピングが必要とされる。それ以外にも、台湾のパッケージング会社ASEはSIP（System in Packaging）に関する技術も高く評価されている。

図5 UMC Silicon Shuttle IP Verification

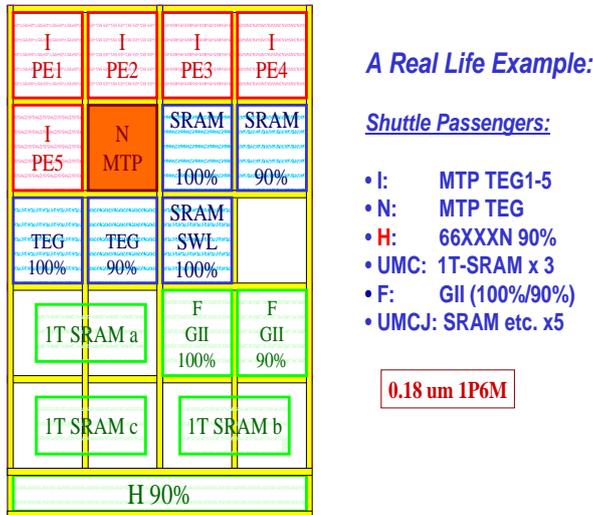
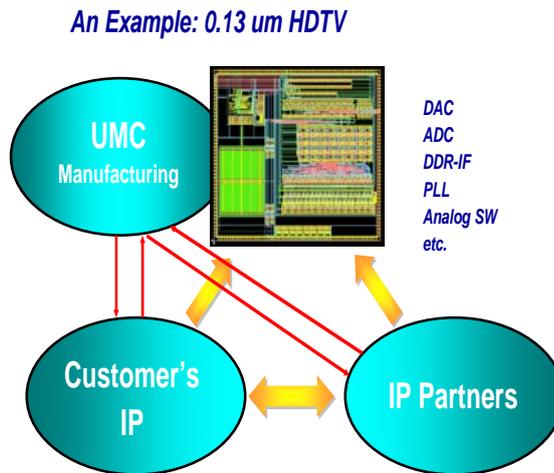


図6 Working Model for SoC Solution



Ultra926 project (図7) は、UMCが複数企業と共同でパワー・マネジメントのシステム・ソリューションを開発したケースである。パワー・マネジメントが要求されるのは、現在では小さなチップに様々な機能を詰められるので、パワーの管理が重要になってきたからである。Ultra926 projectではUMCはMultiple Transistors、Vth Devices Modelsを、ARMはIP、Power Management Algorithmsを、National SemiconductorはIPを、ArtisanはMulti-Vth、Multiple Supply、Multiple Voltage (MSMV)、Special CellsといったLibrariesを、SynopsysはPower Optimization Tool、

図7 ULTRA926 Project Collaboration System solution for power management



Adaptive Voltage Scaling (AVS) Methodologyをそれぞれ担当し、共同で開発を成功させた。ここで強調したいのは、このような共同開発では、チップの設計サイドから生産サイトまでの必要なファクターを全部考慮したうえで、はじめて、パワー・マネジメントのシステム・ソリューションが成り立ったことである。

6. UMC の R&D

図8はITRSのリソグラフィのロードマップである。2001年には248nmだった光波長が、2003年には193nmの光波長になった。その193nmの光波長は90nmと65nmのプロセスに使われている。ファウンドリにとって、多様な顧客のニーズに対応するには、絶えずR&Dを行わな

図8 Continuous Efforts in R&D ITRS Lithography Roadmap

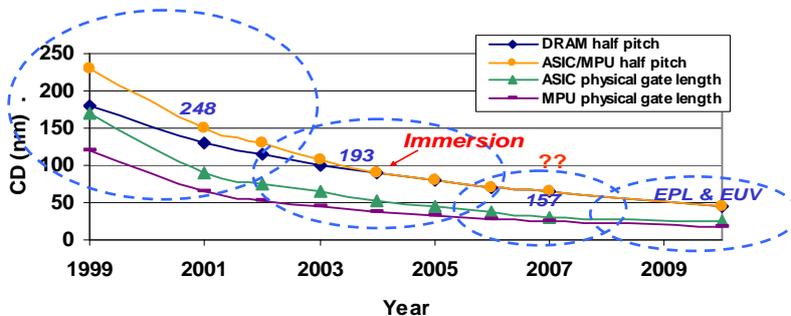


図9 65nm 1P10M Cross-section

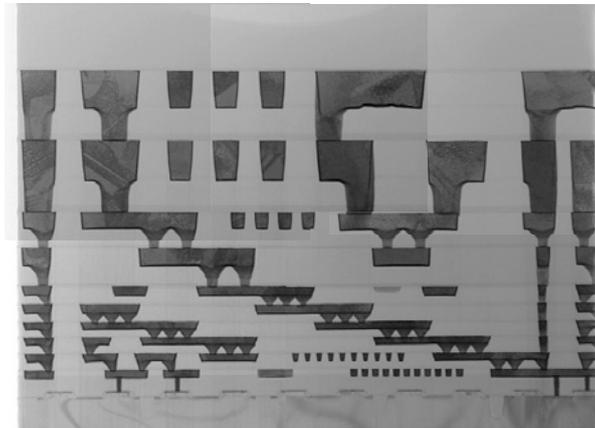
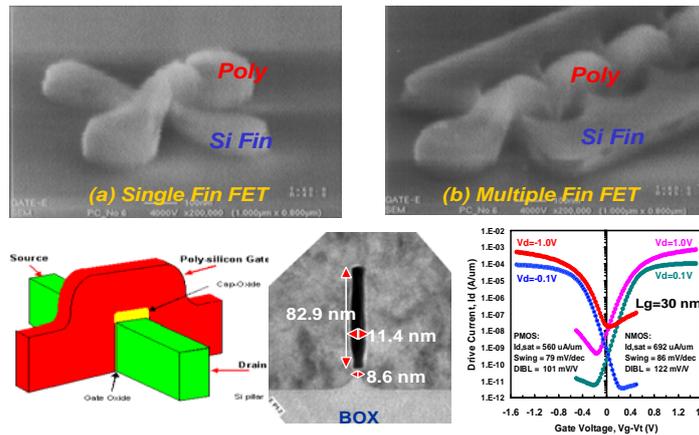


図10 45 nm FinFET Device Structure



なければならない。今後、UMCは90nm->65nm->45nmのリソグラフィー、Gate Dielectric: Ultra Thin Gate/High-K Material、S/D Engineering: Raised S/D、Device Structure: SOI/Strain Silicon/Fin FET、Interconnect: Low-K Dielectric Materialなどに継続的にフォーカスして、研究開発を行っていく。

UMCの研究開発の成果を簡単に紹介する。図9は、電子顕微鏡による65nm 1P10Mの断面図である。ボトムはシリコンで、下からの第1レイヤーはトランジスタである。しかし、トランジスタは非常に小さいため、見にくい。その上に、メタルは10層があり、最初の8層メタルは銅interconnectでできている。それ以外の2層はアルミinterconnectによってできている。

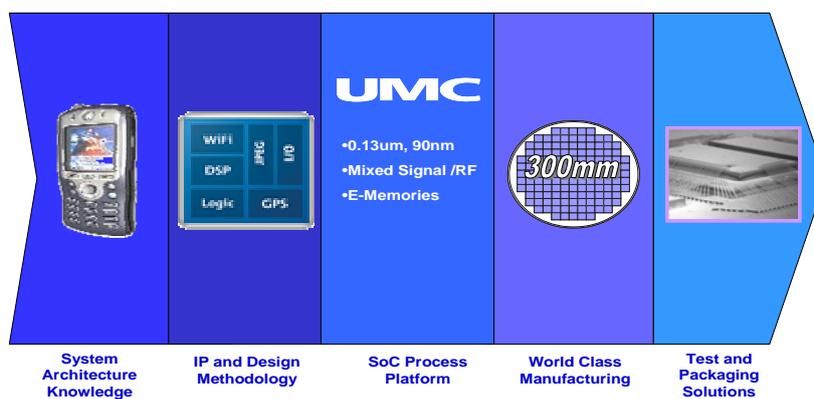
別の研究開発の紹介である図10は、UMCの45nmのトランジスタのデバイスに関するものである。鯨のひれのようなPolyを複数作ることによって、電流を制御する機能を果たすことができる。⁷

まとめ

繰り返しになるが、UMCはプロセス・テクノロジーを開発する以外に、System Architecture Knowledge、IPベンダー、EDAベンダーとの緊密共同開発、300mmファブ、そしてバックエンドをインテグレーションして、トータル・ソリューションを顧客に提供している。また、UMCはPure Play Foundryとして、IDMの強みと共同で、顧客の製品に合致するプロセス・テクノロジーを定義し、シリコン検証済みのIP、EDAツールにベースしたReference Design、DFM、そしてパッケージング、テストングのサポートを提供している。

チップ設計においては、過去の200mmの0.18 μm 、0.13 μm から、300mmの90nm、65nm、45nmに移行している最中である。その設計をサポートできるファウンドリはごく少数である。UMCは300mmのファブを設立して、また100nm以下のテクノロジーを構築し、SoCソリューションを顧客に提案する。しかし、垂直分業のそれぞれの企業は独自にやってはいけないので、各専門業者と戦略的提携をすることがとても重要である（図11）。

図 11 Summary: Foundry's Solution for SoC Design



⁷ 緑は電流を通すという意味であり、赤はコントロール・ゲートである。

赤門マネジメント・レビュー編集委員会

編集長 新宅 純二郎

編集委員 阿部 誠 粕谷 誠 片平 秀貴 高橋 伸夫 藤本 隆宏

編集担当 西田 麻希

赤門マネジメント・レビュー 5巻2号 2006年2月25日発行

編集 東京大学大学院経済学研究科 ABAS/AMR 編集委員会

発行 特定非営利活動法人グローバルビジネスリサーチセンター

理事長 高橋 伸夫

東京都文京区本郷

<http://www.gbrc.jp>